

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63128662 A

(43) Date of publication of application: 01 . 06 . 88

(51) Int. Cl

**H01L 27/10**  
**G11C 11/40**

(21) Application number: 61275917

(71) Applicant: NEC CORP

(22) Date of filing: 18 . 11 . 86

(72) Inventor: ANDO MANABU

**(54) STATIC MIS MEMORY CELL**

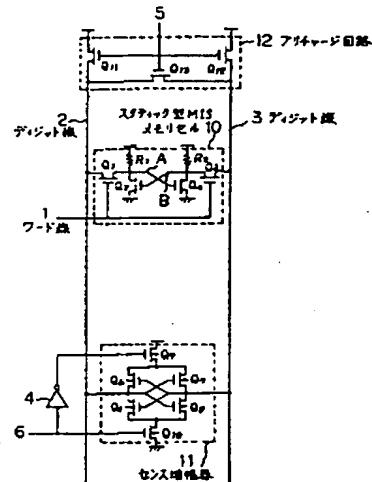
rapidly discharged at earth level and the cell data are not destructed.

**(57) Abstract:**

PURPOSE: To activate and amplify a sense amplifier before destruction of data occurs after the data are read out on digit lines to eliminate an erroneous operation and moreover, to lessen the area of a memory cell by a method wherein the channel width/channel length ratios of the driver MISFETs and transfer gate MISFETs of the memory cell are set in roughly the same.

CONSTITUTION: A static MIS memory cell 10 provided with MISFETs  $Q_1 \sim Q_4$ , which have a relation that the ratio  $\gamma$  of the value of the channel width-channel length ratio  $W/L$  of the flip-flop driver MISFETs of a memory cell to the value of the channel width-channel length ratio  $W/L$  of the transfer gate MISFETs of the memory cell is  $(\gamma D/1.2) \leq \gamma \leq (\gamma D/0.8)$ , is used. The memory cell is started by a strobe signal, signals read out on digit lines 2 and 3 are inputted, positive feedback amplification is conducted and a flip-flop sense amplifier 11, which is outputted on the digit lines 2 and 3, is again added. The sense amplifier 11 begins to amplify correct data being read out on the digit lines 2 and 3. Hereby, the level of the digit line 2 is rapidly charged at  $V_{cc}$  level, the level of the digit line 3 is

COPYRIGHT: (C)1988,JPO&Japio



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭63-128662

⑬ Int.Cl. 1  
H 01 L 27/10 381 8624-5F  
G 11 C 11/40 301 7230-5B

⑭ 識別記号 場内整理番号  
⑮ 公開 昭和63年(1988)6月1日  
審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 スタティック型MISメモリセル  
⑰ 特願 昭61-275917  
⑱ 出願 昭61(1986)11月18日

⑲ 発明者 安藤 学 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
㉑ 代理人 弁理士 内原晋

### 明細書

#### 1. 発明の名称

スタティック型MISメモリセル

#### 2. 特許請求の範囲

チャネル幅チャネル長比が $\gamma_0$ のMISFETをフリップフロップの駆動トランジスタとする高抵抗負荷方式のスタティック型MISメモリセルにおいて、

チャネル幅チャネル長比 $\gamma_0$ が $(\gamma_0/1.2) \leq \gamma_0 \leq (\gamma_0/0.8)$ のトランジスタゲートMISFETと、

ディジット線にデータが読み出された後、データが破壊される前に活性化され、その読み出し出力を増幅するフリップフロップ型センス増幅器を有することを特徴とするスタティック型MISメモリセル。

#### 3. 発明の詳細な説明

##### (産業上の利用分野)

本発明は金属絶縁物半導体電界効果トランジスタ(以下MISFETと略記する)を用いたICメモリセル

に關し、特にスタティックメモリに関する。

##### 【従来の技術】

従来、スタティックメモリは読み出し動作でセルデータが破壊されないようにメモリセルが設計されていた。すなわち、メモリセルのフリップフロップの交差接続点とディジット線との間に接続されているトランジスタゲートMISFETのチャネル幅(W)とチャネル長(L)との比W/L( $=\gamma_0$ )を1とする時フリップフロップのドライバMISFETのW/L( $=\gamma_0$ )が2.5~3以上の値になるように設計されていた。

第3図は上述したスタティック型MISメモリセルの従来例のディジット線回路部分の回路図である。

プリチャージ回路12は3個のMISFET Q<sub>11</sub>~Q<sub>13</sub>からなり、プリチャージ信号線5によって制御されている。メモリセル13は高低抗素子R<sub>1</sub>、R<sub>2</sub>を負荷素子としたインバータを互いに交差接続してなり、MISFET Q<sub>15</sub>、Q<sub>16</sub>をドライバとするフリップフロップと、該交差接続点に一端が接続され他端

特開昭63-128662(2)

がディジット線 2, 3 に接続され、ゲートがワード線 1 に接続されているトランスマッターゲート MISFET  $Q_{14}, Q_{15}$  とか組成されている。

第4図は、第3図のスタティック型MISメモリセルの $\tau_{PD}/\tau_T = 2.5 \sim 3$ の場合の動作を示すタイムチャートである。

いま、初期状態（時刻  $t_0$ ）として、メモリセル 13 の一方の節点 A のレベルが  $V_{CC} - V_{TH}$  ( $V_{TH}$  は N チャネル M I S トランジスタのスレッショルド電圧)、他の節点 B が接地レベルにあり、またディジット線 2, 3 はプリチャージ回路 12 によりすでにプリチャージが完了して  $V_{CC} - V_{TH}$  というレベルになっており、プリチャージ信号線 5 は接地レベルにあるとする。

次に時刻  $t_1$  でワード線 1 のレベルが上昇し始め、時刻  $t_2$  でワード線 1 のレベルがトランスマジックゲート MISFET  $Q_{16}$  のスレッショルド電圧  $V_{TH}$  を越えると箇点 B に接続されたトランスマジックゲート MISFET  $Q_{16}$  がオンして箇点 B のレベルが上昇し始めるとともにディジット線 3 のレベル

まず、時刻  $t_1$  でワード線 1 が上昇し始め時刻  $t_2$  でワード線 1 のレベルがスレッシュホールド電圧  $V_m$  を越えるとトランジスタ MOSFET  $Q_{16}$  がオンし、節点 B のレベルが上昇し始める。時刻  $t_3$  で節点 B のレベルがスレッシュホールド電圧  $V_m$  を越えると、ドライバ MOSFET  $Q_{15}$  がオンして節点 A のレベルが低下し始める。時刻  $t_4$  でワード線 1 のレベルと節点 A のレベルとの差がスレッシュホールド電圧  $V_m$  を越えると、トランジスタゲート MOSFET  $Q_{14}$  がオンしてディジット線 2 のレベルも低下し始める。ワード線 1 のレベルがさらに上昇するとメモリセル 13 の低レベルはさらに上昇し、やがて時刻  $t_5$  でメモリセル 13 の高レベルと低レベルが反転してしまう。メモリセルが完全に対称であれば反転することはないが、現実にはそのようなことはないので必ず反転してしまう。時刻  $t_5$  でメモリセル 13 の出力が反転してしまうとディジット線 2, 3 のレベル低下速度もディジット線 2 の方がディジット線 3 よりも速くなり、ワード線 1 が活性化された後 20~25 ナノ秒後の時刻  $t_6$  にはディジット線 1 の

ルが下がり始める。ワード線 1 のレベルは時刻  $t_{10}$  で  $V_{cc}$  レベルに到達するが、断点 B のレベルはこの直前に最も高くなる。時刻  $t_{10}$  以後はディジット線 3 の電荷がメモリセル 13 を介して放電されてディジット線 3 のレベルが低下するため断点 B のレベルも低下していく。従来、メモリセルの低レベルは最も高い時でもスレッシュド電圧  $V_{th}$  を越えないよう  $\gamma_0/\gamma_1$  の値を 2.5~3 程度にしているのでメモリセルの高レベルは読出し動作によって低下することはなく  $V_{cc} - V_{th}$  を保持している。

第5図は、第3図のスタティック型MISメモリセルの $\gamma_D$  /  $\gamma_T$  がほぼ1の場合の動作を示すダイムチャートである。

第4図の場合と同様に、初期時(時刻 $t_0$ )、  
ディジット線2、3のプリチャージは完了して  
ディジット線2、3とともに  $V_{CC} - V_{TH}$  のレベル  
に、またプリチャージ信号線5は接地レベルに  
なっており、メモリセル13内節点Aのレベルは  
 $V_{CC} - V_{TH}$ 、節点Bは接地レベルにあるとする。

データも反転してしまう。

このようにメモリセル13のドライバ MISFET Q<sub>15</sub>, Q<sub>17</sub>とトランスマルチゲート MISFET Q<sub>14</sub>, Q<sub>16</sub>のチャネル相対チャネル長比 W/L の値の比 W<sub>14</sub> / W<sub>15</sub> を小さくすると読み出しの際にメモリセルデータが破壊されてしまい誤動作が起きてしまう。

一方、メモリセル13の面積という観点に立つとメモリセル13内のXISPEL Q<sub>14</sub>～Q<sub>17</sub>はできる限り小さいことが好ましい。特にスタティックメモリにおいてはメモリセル部分の面積がチップ面積の50～80%を占めており、メモリセル面積を小さくすることは、低コスト化、大容量化には必須である。

### 〔発明が解決しようとする問題点〕

上述した従来のスタティックメモリは、メモリセルのトランスマネージャー NISFET のチャネル幅対チャネル長比  $W/L$  の値に対するフリップフロップのドライバ NISFET のチャネル幅対チャネル長比  $W/L$  の値の比を 2.5~3 以上にしている

### 特開昭63-128662(3)

のでメモリセルの面積、ひいてはチップサイズが大きくなり、低コスト化、大容量化が困難であるという欠点がある。

#### (問題点を解決するための手段)

本発明のスタティック型MISメモリセルは、チャネル幅対チャネル長比の値が $\alpha$ のMISFETをフリップフロップの駆動トランジスタとする高抵抗負荷方式のスタティック型MISメモリセルにおいて、

チャネル幅対チャネル長比 $\gamma$ が( $\alpha/\gamma = 1.2$ ) $\leq \gamma \leq (\alpha/\gamma = 0.8)$ のトランスマッタゲートMISFETと、ディジット線上にデータが読み出された後、データが破壊される前に活性化され、その読み出し出力を増幅するフリップフロップ型センス增幅器を有することを特徴とする。

このように、メモリセルのドライバMISFETとトランスマッタゲートMISFETのチャネル幅対チャネル長比をほぼ同一にし、それによって、ディジット線上にデータが読み出された後データの破壊が起る前にセンス增幅器を活性化して正しい

C MOSインバータの出力と入力を交差接続して構成されているフリップフロップと、ストローブ信号(センス増幅器活性化信号)を入力するため、フリップフロップを構成するP型MISFET $Q_4$ 、 $Q_7$ とN型MISFET $Q_6$ 、 $Q_8$ のソース回路にそれぞれ接続されているP型スイッチMISFET $Q_9$ とN型スイッチMISFET $Q_{10}$ によって構成されている。フリップフロップの出力はそれぞれディジット線2、3に接続され、N型MISFET $Q_{10}$ のゲートはストローブ信号入力6に、またP型MISFET $Q_9$ のゲートはインバータ4を介してストローブ信号入力6に接続されている。

次に、本実施例の動作について説明する。

本実施例においては、節点Bのレベルが $V_{TH}$ を越え、ドライバMISFET $Q_2$ がオンして節点Aのレベルが下り始める時刻 $t_3$ までの動作は第5図の従来の場合と同様である。しかし、ストローブ信号6が時刻 $t_4$ から立ち始め、センス増幅器11が、節点Aと節点Bの電位レベルがほぼ等しくなる時刻 $t_5$ 付近で動作を開始してディジット線2、3に

データを増幅することにより、誤動作がなく、かつメモリセル面積の小さいスタティック型MISメモリを提供することができる。

#### (実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のスタティック型MISメモリセルの一実施例の回路図、第2図は本実施例の動作を示すタイムチャートである。

本実施例は第3図のメモリセル13のMISFET $Q_{14}$ ～ $Q_{17}$ の代りに、それぞれのチャネル幅対チャネル長比が同じ(したがって $\alpha/\gamma = 1$ )で、かつ製造上許容される最小寸法のMISFET $Q_1$ ～ $Q_6$ を備えたメモリセル16が用いられ、またストローブ信号によって起動され、ディジット線2、3上に読み出された信号を入力し、正帰還増幅して、再びディジット線2、3上に出力するフリップフロップ型センス増幅器11が付加されたものである。

フリップフロップセンス増幅器11は、2つの

読み出されている正しいデータを増幅し始める。これによりディジット線2のレベルは $V_{CC}$ レベルに、またディジット線3のレベルは接地レベルに急速に充放電される。このため時刻 $t_5$ でいったん反転してしまったセルデータは時刻 $t_6$ で再び元に戻り、セルデータは結局破壊されない。この動作で重要なのはセンス増幅器11を活性化させる時刻である。つまり、ディジット線2、3にデータが出ないうちに活性化したり、逆にディジット線にいったん読み出された正しいデータが反転してから活性化すると、誤ったデータを増幅してしまい、メモリセルデータを破壊してしまうのである。従って、ワード線1のレベルが上昇し始めてディジット線2、3に正しいデータが読み出され始めてから、そのデータが消えるまでの間にセンス増幅器を活性化する必要がある。この時間は約20～25ナノ秒程度である。

#### (発明の効果)

以上説明したように本発明は、各ディジット線毎にフリップフロップ型センス増幅器を設け、

ワード線が活性化した後20ナノ秒以内に該センス増幅器を活性化させることにより、メモリセルの $\gamma_0/\gamma_1$ の値を1程度にしても読み出し動作でセルデータが破壊されないため、メモリセルのドライバMISFETのチャネル幅を従来のものの半分以下にすることでき、メモリセル面積の縮小化ひいてはチップの縮小化、低コスト化ができ、またチップサイズを同一とするならばより大容量のスタティックメモリを実現できる効果がある。

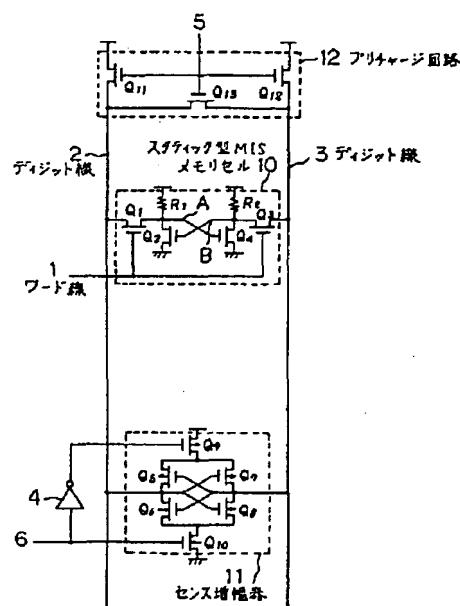
## 4. 図面の簡単な説明

第1図は本発明のスタティック型MISメモリセルの一実施例の回路図、第2図は本実施例の動作を示すタイムチャート、第3図はスタティック型MISメモリセルの従来例のディジット線回路部分の回路図、第4および第5図は、それぞれ第3図のスタティック型MISメモリセルの $\gamma_0/\gamma_1 = 2.5 \sim 3$ および $\gamma_0/\gamma_1$ がほぼ1の場合の動作を示すタイムチャートである。

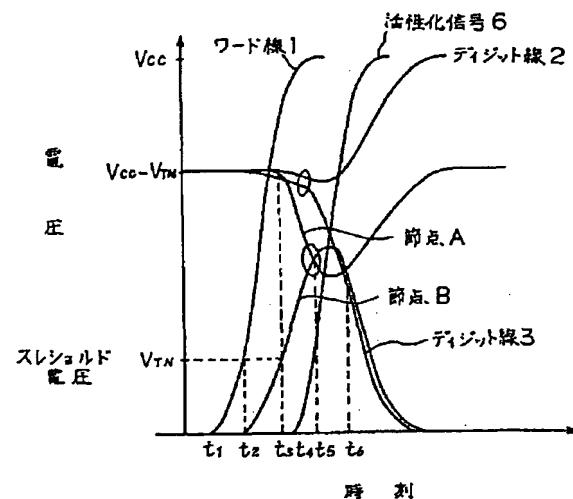
1 … ワード線、  
2, 3 … ディジット線、

5 … プリチャージ信号線、  
6 … ストローブ信号線、  
10 … メモリセル、  
11 … センス増幅器、  
12 … プリチャージ回路。

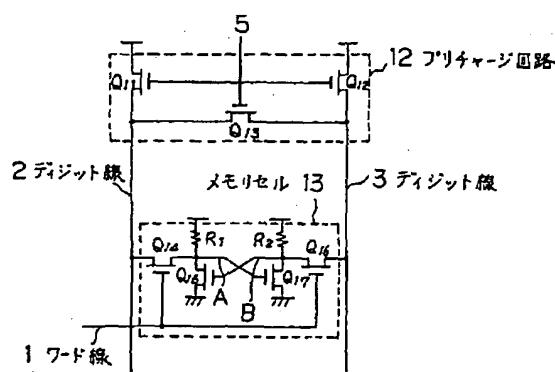
特許出願人 日本電気株式会社  
代理人 弁理士 内原晋 (弁理士  
内原晋)



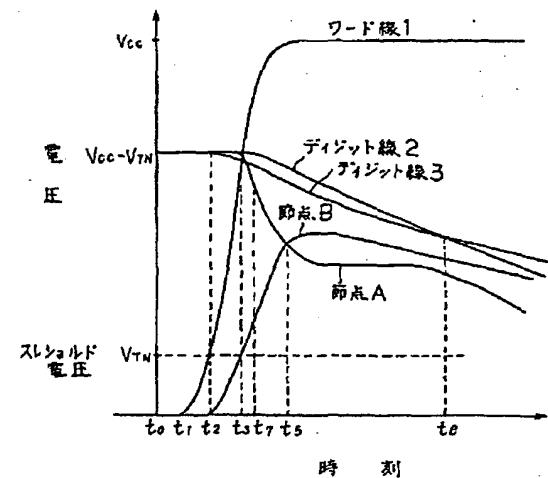
第1図



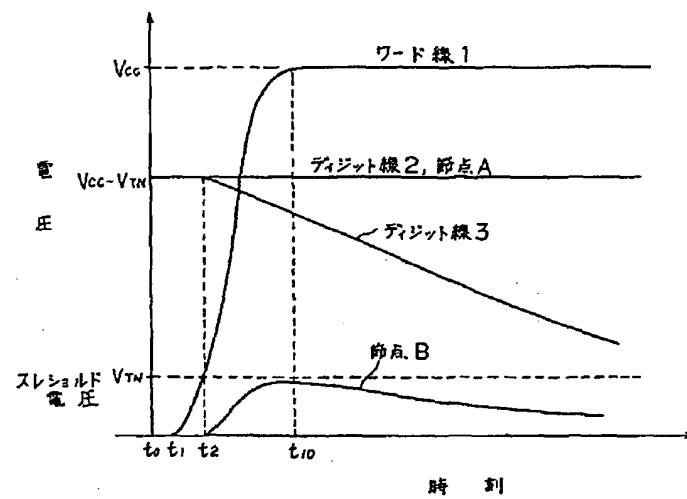
第2図



第3図



第5図



第4図